

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 1-22051 (A) (43) 25.1.1989 (19) JP

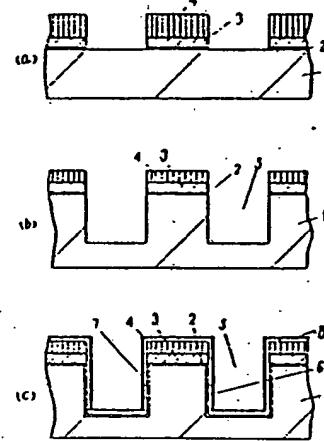
(21) Appl. No. 62-179482 (22) 17.7.1987

(71) MATSUSHITA ELECTRIC IND'CO LTD (72) NORIHIKO TAMAOKI(0)

(51) Int. Cl. H01L21/94, H01L21/76

PURPOSE: To prevent the acid resistant mask from being etched in the later isotropical etching process by a method wherein, after a silicon nitride film as a second acid resistant film is formed on the whole semiconductor substrate surface, the surface of this silicon nitride film is oxidized to form a silicon oxide film as an anti-etching mask which is thin and has no pin holes.

CONSTITUTION: On an N-type substrate 1, a thermal oxide film 2, a silicon nitride film 3 and a silicon oxide film 4 are sequentially formed, and with the silicon oxide film 4 as a mask they are etched to form opening parts 5. With the silicon nitride film 3 as a mask, a thermal oxidation is performed to form a thermal oxide film 6 on the side and bottom of the opening parts. Thereafter, a silicon nitride film 7 is formed on the whole surface by a low pressure CVD method or the like, and subsequently a heat treatment is performed in an oxidation atmosphere to oxidize the surface of the silicon nitride film 7, thereby forming a silicon oxide film 8. With this, even if there are pin holes in the silicon oxide film which is later deposited on the silicon nitride film 7, the etching of the silicon nitride film 7 is prevented since the silicon oxide film 8 acts as an anti-etching mask in the isotropical etching process.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭64-22051

⑫ Int.Cl.⁴
H 01 L 21/94
21/76

識別記号 廣内整理番号
6708-5F
D-7131-5F

⑬ 公開 昭和64年(1989)1月25日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特願 昭62-179482
⑯ 出願 昭62(1987)7月17日

⑰ 発明者 玉置徳彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 既明者 久保田正文 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 半導体基板に形成された第1の耐エッチング性マスク材と耐酸化性被膜をマスクとして前記半導体基板に開口部を形成する工程と、第2の耐酸化性被膜を該圧CVD法で半導体基板全面に形成する工程と、第2の耐酸化性被膜をの表面を酸化し第2の耐エッチング性被膜を形成する工程と、前記第2の耐エッチング性被膜・耐酸化性被膜を異方性エッチングし前記開口部側面にのみ残存させる工程と、前記第1及び第2の耐エッチング性マスク材をマスクとして等方性ドライエッチングを行なう工程と、前記第1及び第2の耐酸化性被膜をマスクとして半導体基板の酸化を行なう工程を含む半導体装置の製造方法。

(2) 第1及び第2の耐酸化性被膜としてシリコン空化膜を用いる特許請求の範囲第1項記載の半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は高密度、高速、低消費電力性を備えた半導体装置の製造方法に関するものである。

従来の技術

半導体集積回路においては高密度・高速化・低消費電力化が追求されつつあり、素子間の分離領域の低減による高密度化やMOS素子におけるソース・ドレインと基板間で発生する寄生容量などの低減による高速・低消費電力化などを狙ってSOI (Silicon On Insulator) 製造の開発においてさまざま試みが実施されている。

第2図は特願昭61-136531号に示された構造り分離発展型のSOI構造半導体装置の製造工程の一例を示す断面図である。

第2図は特願昭54-88871号に示されている構造り分離発展型のSOI構造半導体装置の製造工程の一例を示す断面図である。

まず第2図(a)のように、シリコン基板1の上面に抵抗的に開口されたSi₃N₄膜2を形成する。次

BEST AVAILABLE COPY

特開昭64-22051(2)

にbに示すように、 Si_3N_4 膜2をマスクとして、異方性の強いドライエッチャ法、たとえば反応性イオンエッチャ(R.I.E)でシリコン基板1に開口部3を形成する。この急峻な開口面に対し第2回(c)のように、 Si_3N_4 膜4を減圧CVD法によって付着させる。次に(d)に示すように、スパッタエッチャ法により Si_3N_4 膜4を除去する。スパッタエッチャ法は、エッチャングの直線性が保てているため、側面の Si_3N_4 膜4はエッチャングされず、第2回(d)のように Si_3N_4 膜2の上面部及びシリコン基板開口部3底面のみがエッチャングされる。その後、第2回(e)のようにシリコン基板1のエッチャングを行ない、第2回(f)に示すように成化を実施し、成化物領域5を形成すると単結晶シリコン島領域6の下面全域が両側からの成化によりつながる。その後、単結晶シリコン島領域6表面の Si_3N_4 膜を除去すると、第2回(g)に示すように単結晶シリコン島領域6の下面および両面全てが成化物領域5により囲まれた構造となる。

発明が解決しようとする問題点

ところが、このシリコン成化膜膜厚にこのような制限があると、分離領域を狭めることができなくなってくる。開口部内の向かいあつたシリコン成化膜が接触してしまうからである。

問題点を解決するための手段

上記問題点を解決するため、本発明では第2の耐成化性膜としてのシリコン成化膜を半導体基板全面に形成した後、このシリコン成化膜の表面を成化することにより、薄くかつビンホールのない耐エッチャング性マスクとしてのシリコン成化膜をシリコン成化膜上に形成する。

作用

上記手段により薄くかつビンホールのない耐エッチャング性マスクを形成することにより、分離領域を狭め、かつ後の等方性エッチャング工程で耐成化性マスクがエッチャングされないプロセスを確立することが可能になった。

実施例

第1回は本発明の一実施例における半導体基板の製造工程を示す断面図である。

ここで第2回(d)で示したシリコン基板のエッチャングは、次の(第2回(f))酸化工程におけるシリコン島領域の形状安定化や、酸化時間の短縮化によるシリコン島領域内の欠陥の低減化という点から等方的なエッチャングにする必要がある。

この等方性エッチャングは、高密度化に伴ない場合シリコン島間の分離領域が狭った際のエッチャング安定性という観察からドライエッチャングで行なうことが望ましい。ドライエッチャングではシリコン基板とシリコン成化膜との選択比が低い為、シリコン成化膜上にシリコン成化膜を形成した膜と同様のプロセスでシリコン成化膜を形成するプロセスが必要である。

しかし、シリコン成化膜形成時には開口部側面に残存させるためのこのシリコン成化膜をビンホールの存在しない膜厚以上に堆積させないといけない。ビンホールがあるとシリコン成化膜下のシリコン成化膜が等方性エッチャング工程でエッチャングされ、成化工程で所望のシリコン島形状が得られなくなるからである。

第2回と同様第1回において、1は Δ 型(100)シリコン基板で比抵抗は $0.6 \sim 1.0 \Omega \cdot cm$ である。2は膜厚1000Åのシリコン熱成化膜、3は耐成化性膜としての膜厚2000Åのシリコン成化膜、4は異方性及び等方性の2度のドライエッチャング工程における耐ドライエッチャマスクとしての膜厚3000Åのシリコン成化膜である。5は異方性エッチャングにより、シリコン基板に形成された開口部、6は膜厚500Åのシリコン熱成化膜、7は膜厚1000Åのシリコン成化膜、8は膜厚1000Åのシリコン成化膜、9は等方性ドライエッチャングによりシリコン基板に形成された開口部、10はシリコン基板から絶縁分離された素子領域、11は成化膜領域である。

まず、第1回(b)のように Δ 型基板1上に熱成化膜2、シリコン成化膜3、シリコン成化膜4を順に形成し、素子領域となる部分以外(分離領域)を異方性の強い反応性イオンエッチャング(R.I.E)等を用いて開口する。次に第1回(d)に示すように分離領域となる部分をこれもR.I.E等を用いてシ

BEST AVAILABLE COPY

特開昭64-22051(3)

リコン酸化膜⁴をマスクとしてエッティングし、開口部⁶を形成する。このときシリコン酸化膜⁴の膜厚は減少するが後の熱成化膜、シリコン塗化膜の異方性エッティングの下地及びシリコソ基板の等方性ドライエッティングのエッティングマスクとして使用できる膜厚(1500Å以上)は残っている。次に第1図(b)のように、シリコン塗化膜³をマスクとして熱成化を行ない、開口部の側面及び底面に熱成化膜⁶を形成し、その後全面にシリコン塗化膜⁷を成圧CVD法等で形成し、焼けて成化性雰囲気中で熱処理を行ない、シリコン塗化膜⁷の表面を成化してシリコン酸化膜⁸を形成する。

このシリコン塗化膜⁷の成化工程が挿入されることにより、後にシリコン塗化膜⁷上に堆積されるシリコン酸化膜にピンホールがあつても、この成化工程で形成されたシリコン酸化膜⁸が等方性エッティング工程で耐エッティング性マスクとして働きシリコン塗化膜⁷がエッティングされるのを防ぐことになる。

その後、第1図(c)のように、反応性イオンエッ

チング法で異方性の強いエッティングを行なうと、開口部⁶の側壁部のシリコン熱成化膜⁶、シリコン塗化膜⁷、シリコン酸化膜⁸のみを残して他のシリコン酸化膜・塗化膜が除去される。ここでもシリコン酸化膜⁴の膜厚は減少するが、後のシリコソ基板の等方性ドライエッティング工程でのニッティングマスクとして使用できる膜厚(500Å以上)は残されている。次に等方性ドライエッティング工程でのマスク材としてのシリコン酸化膜を開口部側面のシリコン塗化膜⁷上に被覆させた形で残すために、前のシリコン塗化膜⁷で行なったのと同様に成圧CVD法等で全面にシリコン酸化膜⁹を形成し(第1図(d))、反応性イオンエッティング法で側壁部のみを残し、他のシリコン酸化膜⁹を除去する(第1図(e))。次にシリコン酸化膜⁴、⁸及び⁹をマスクとしてCF₄・O₂ガスを用いたマイクロ波放電等によるシリコソ基板の等方性エッティングを行ない開口部¹⁰を形成する(第1図(f))。

繰り返し記述するが、シリコン酸化膜⁹にビン

ホールが発生していても、シリコン塗化膜⁷上にはビンホールのないシリコン酸化膜⁸が被覆しておりシリコン塗化膜⁷はエッティングされず、次の選択成化工程で所望の素子領域形状を再現性良く形成できる。この後第1図(f)に示すように、高圧成化法により約7気圧の圧力下で成化を行なうと、成化される領域はシリコン塗化膜³、⁷に被われていない領域に限定されるため、開口部深さ・成化時間・素子領域幅を最適化するとシリコソ基板¹の一部からなる素子領域¹¹が成化領域¹²によりシリコソ基板と分離・隣接された構造を得ることができる。

以下、この後の工程については省略するが、既知の方法により分離領域をシリコン酸化膜・ポリシリコン等で埋め込み、MOSデバイスなどを形成する。

発明の効果

以上説明した発明により、構造り分明な発展型SOI構造素子の製造技術において、シリコソ基板の等方性ニッティングにドライエッティングを適用する

能、成圧CVD法により堆積する耐エッティング性マスクとしてのシリコン酸化膜にビンホールが存在しても、所望の素子形状を得られることが可能になった。シリコン酸化膜が薄くできることができなり素子を高密度かつ信頼性良く製造できることを可能にした点で工芸的価値の高いものである。

4. 図面の簡単な説明

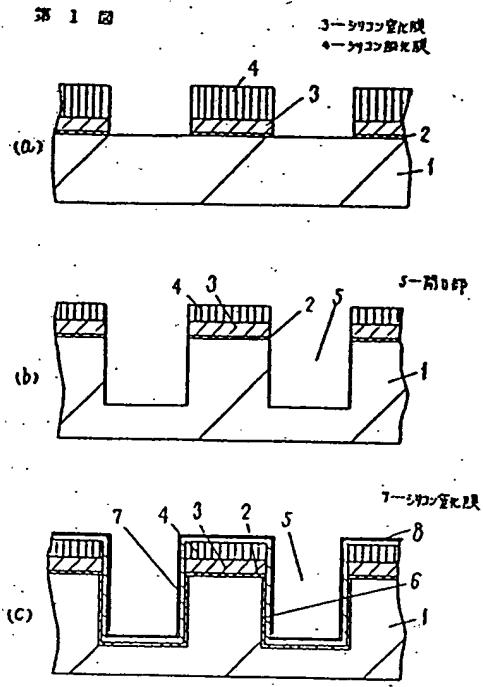
第1図は本発明の一実施例における半導体装置の製造方法を示す工程断面図、第2図は従来の構造り分離発展型SOI構造素子の製造方法を示す工程断面図である。

3, 7……シリコン塗化膜、4, 8, 9……シリコン酸化膜、5……開口部、10……素子領域。

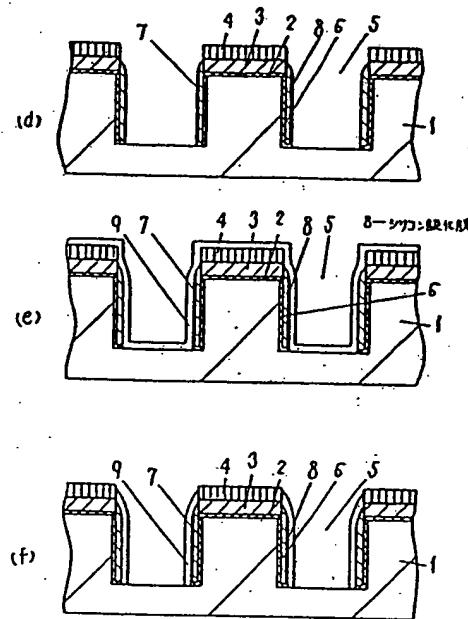
代理人の氏名 井理士 中尾敏男 ほか1名

特開昭64-22051(4)

第1図

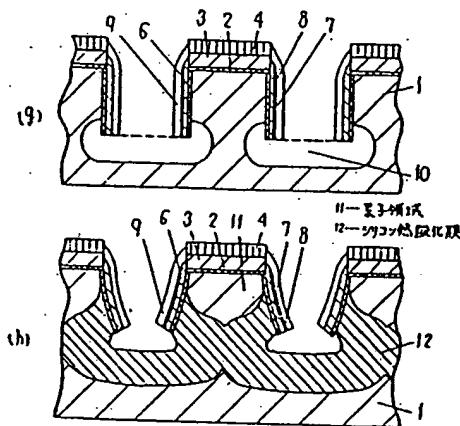


第1図

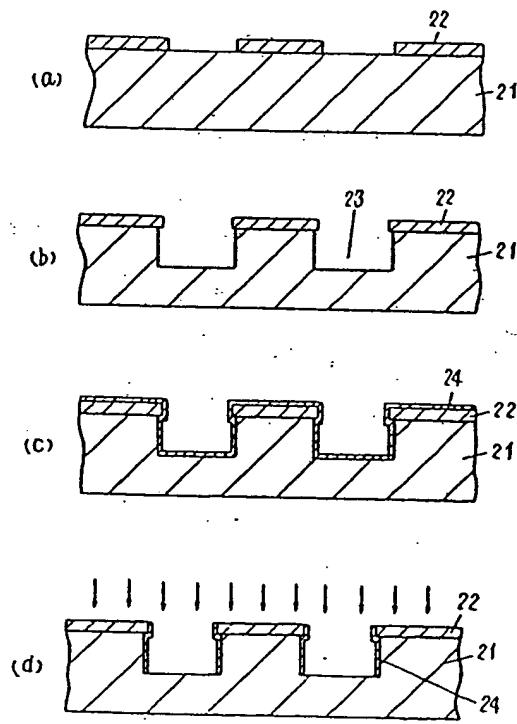


BEST AVAILABLE COPY

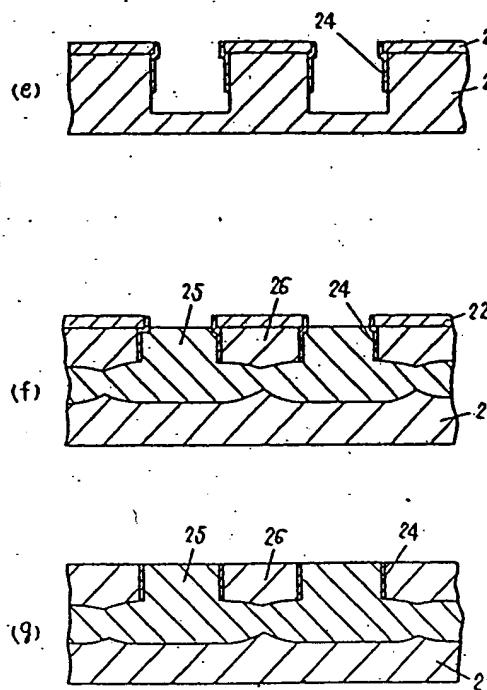
第2図



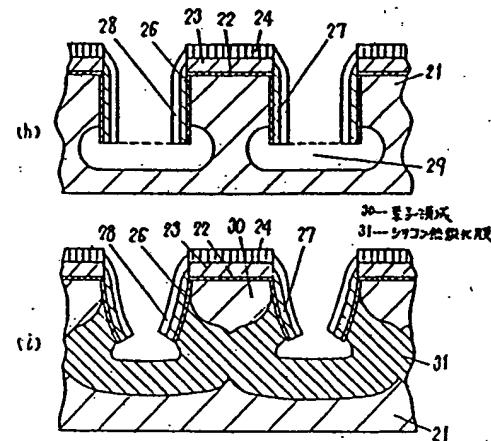
第2図



第2図



第2図



BEST AVAILABLE COPY